



VHDL programming

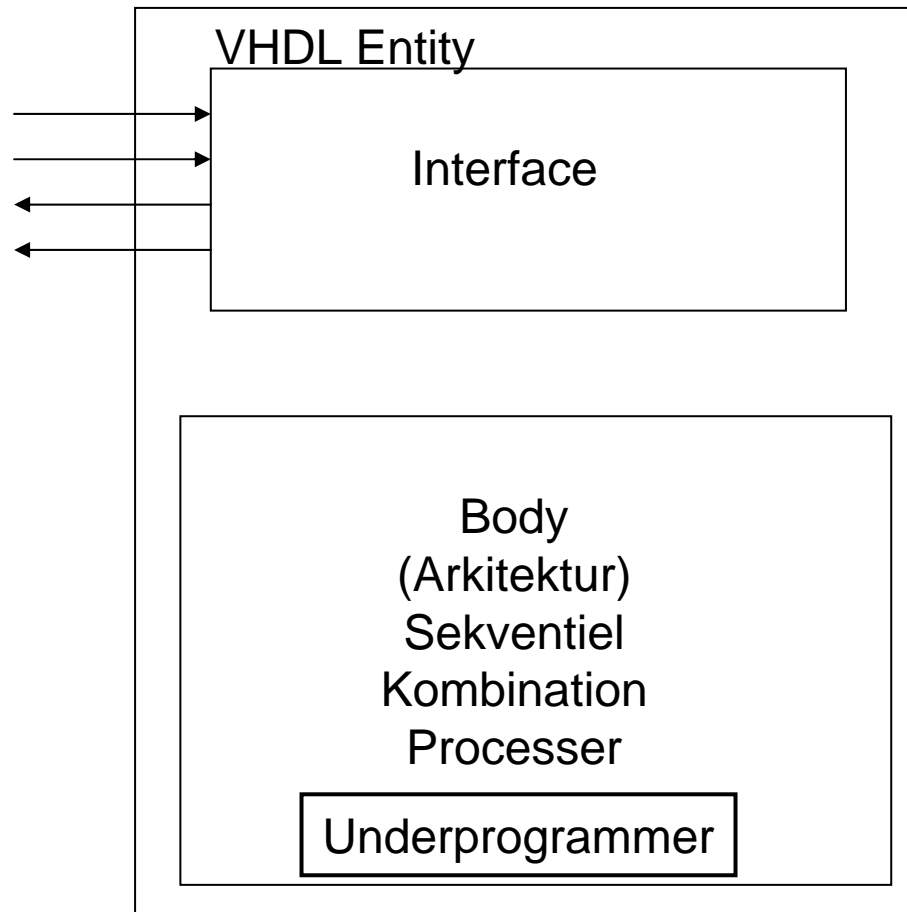


VHDL

- (**V**ery high speed Integrated circuits)
Hardware **D**escription **L**anguage
- IEEE standard 1076-1993 Den benytter vi!!
- Hvornår blev den frigivet som standard første gang??
- Ca. 1980!!



VHDL struktur





VHDL struktur

- ENTITY (enhed) "Skal være det samme som projekt-navnet!!"
- VHDL kode skal starte biblioteker og derefter "ENTITY" efterfulgt af (Projektnavnet)



VHDL kode

```
-- Quartus II VHDL Template
-- Configurable gate architecture
library ieee;use
ieee.std_logic_1164.all;
entity VHDL1 is
  port
  (
    i1 : in std_logic;
    i2 : in std_logic;
    o1 : out std_logic  );
end VHDL1;
```

← TEXT

← Biblioteker

← Start på deklaration

Mode

← Definition på porte

← ENTITY slut!!



Porte

- **MODE**
 - IN: input signal
 - OUT: output signal
 - BUFFER: output der kan læses i VHDL koden
 - INOUT: både og

Type



- TYPE
 - *bit*: 0 og 1 værdier
 - *Bit_vector*: Kan eks. Være Bit_vector(0 to 7)
 - *Std_logic*, *std_ulogic*, *std_logic_vector*, *std_logic_ulogic*: Kan indtage 9 forskellige værdier!
Brug altid *std_logic* eller *std_logic_vector*!!!!
 - *Boolean*: false eller true
 - Integer: hele tal
 - *Real*: med komma
 - *Character*: Karakterer ikke tal værdier
 - *Time*: tid



Arkitektur

```
architecture and_gate of VHDL1 is
begin
    o1 <= i1 AND i2;
end and_gate;
```

Diagram illustrating the structure of the VHDL code snippet:

- Entity** points to `VHDL1`.
- Navn** points to `and_gate` and `and_gate`.
- Logisk udtryk!** points to the logical expression `i1 AND i2`.



Arkitektur

```
architecture or_gate of VHDL1 is  
begin  
    o1 <= i1 OR i2;  
end or_gate;
```



Arkitektur

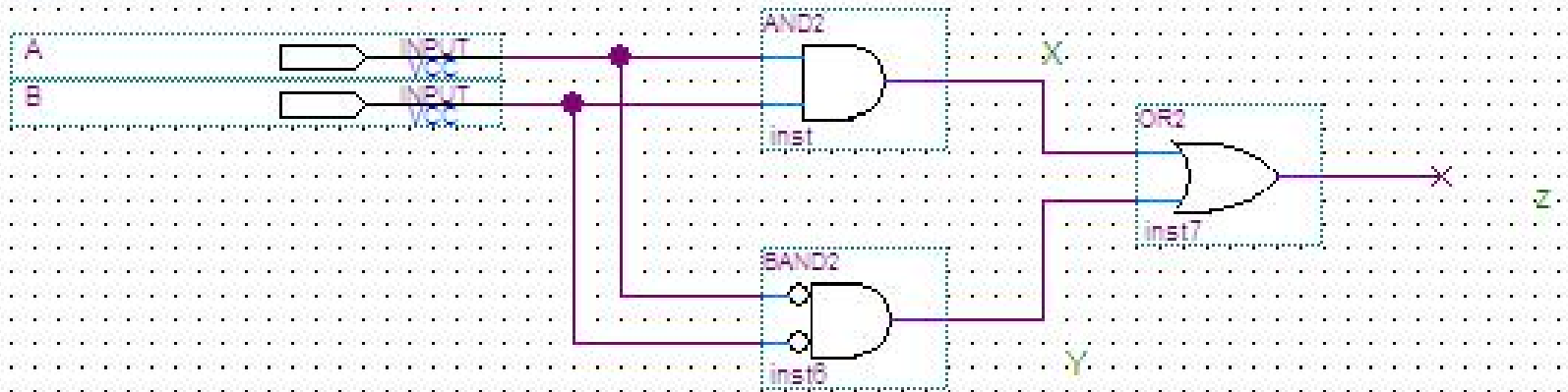
```
architecture xor_gate of VHDL1 is  
begin  
    o1 <= i1 XOR i2;  
end xor_gate;
```



Arkitektur

```
Entity VHDL1 is
  port: (A,B:in std-logic;
        Z: out std_logic);
End;
architecture Xnor of VHDL1 is
  signal X,Y: std_logic ← Interner signaler!!!
begin
  X <= A AND B;
  Y <= (not A) and (not B);
  Z <= X or Y
end Xnor;
```

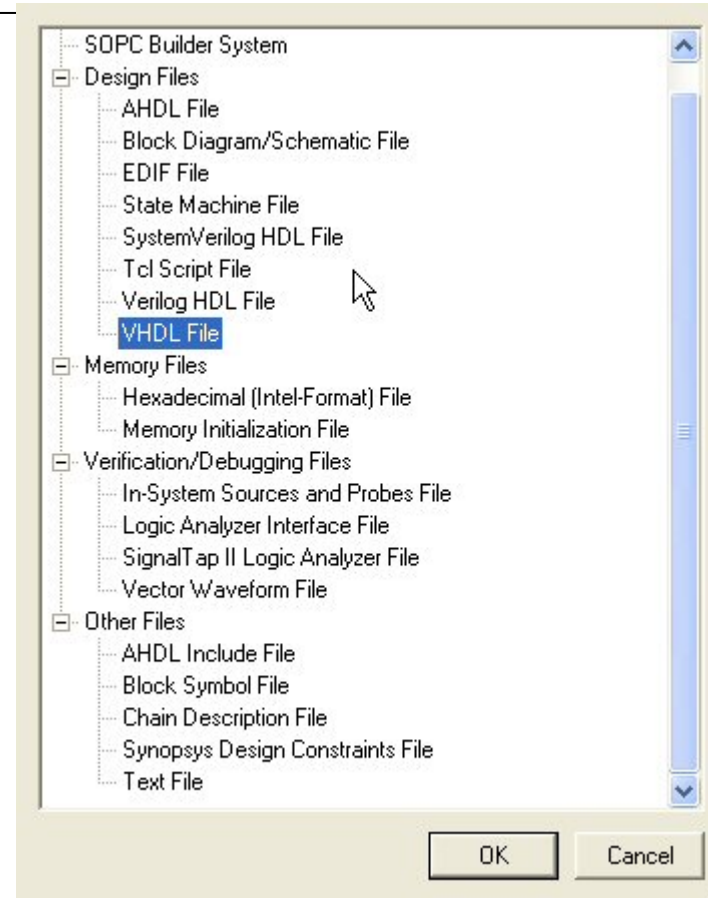
Gates



VHDL indtasting



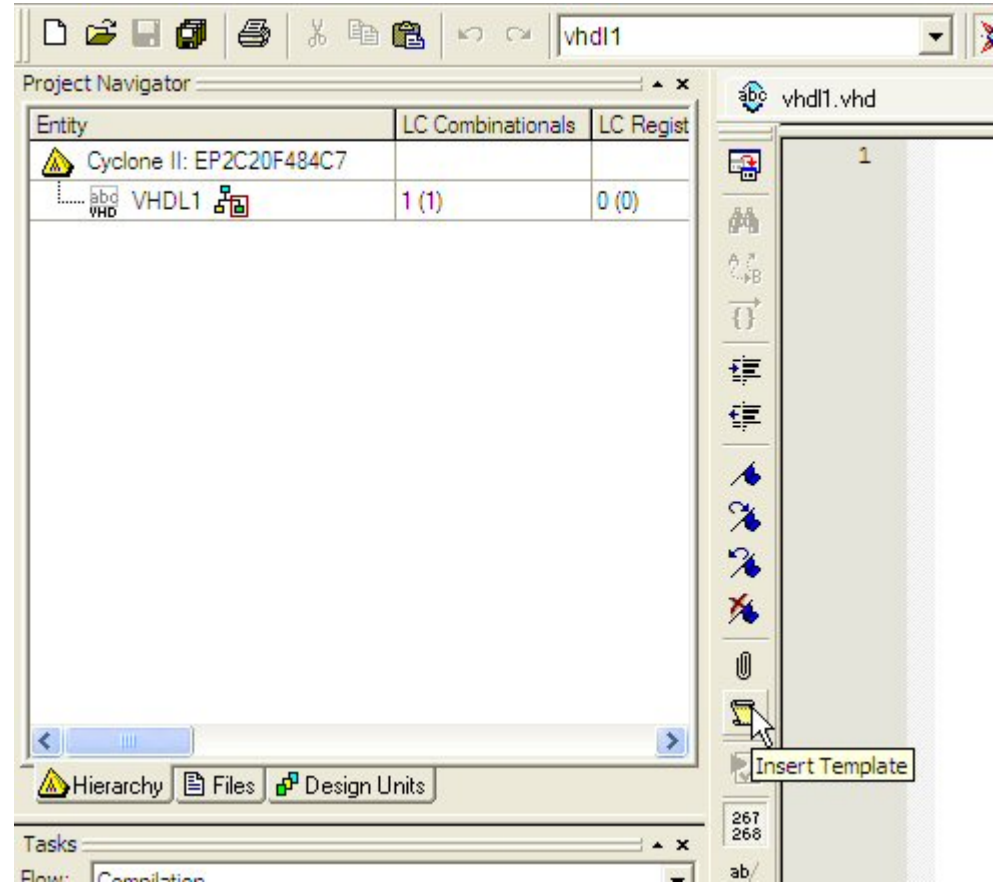
- Tryk : "NEW"
- "VHDL File"



VHDL indtasting



- "Template"



VHDL indtasting

