

Start af nyt VHDL projekt i Quartus II

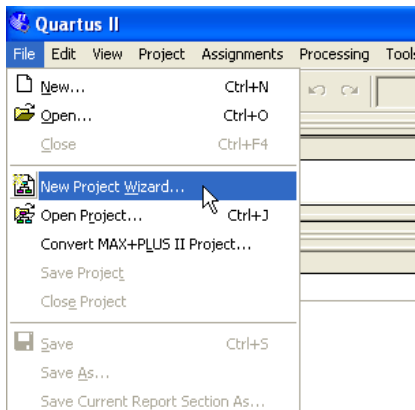
Det følgende er ikke fremstillet som en brugsanvisning der gennemgår alle de muligheder der er omkring oprettelse af et VHDL projekt i Quartus II men kun som en enkelt måde at komme i gang på. Dokumentet udleveres som en Word file til eleven således at han/hun selv kan fremstille en mere fuldstændig brugsanvisning som en del af sit portofolio.

VHDL betyder: *Very high speed integrated circuit Hardware Description Language*

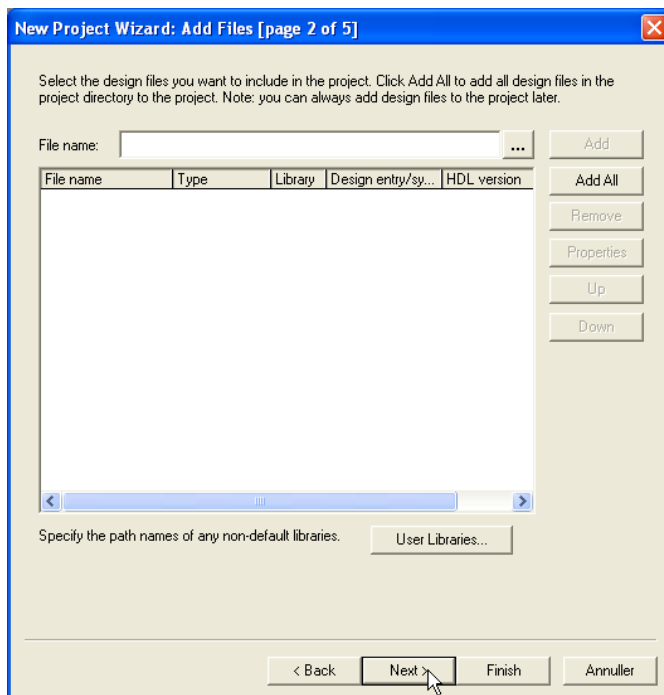
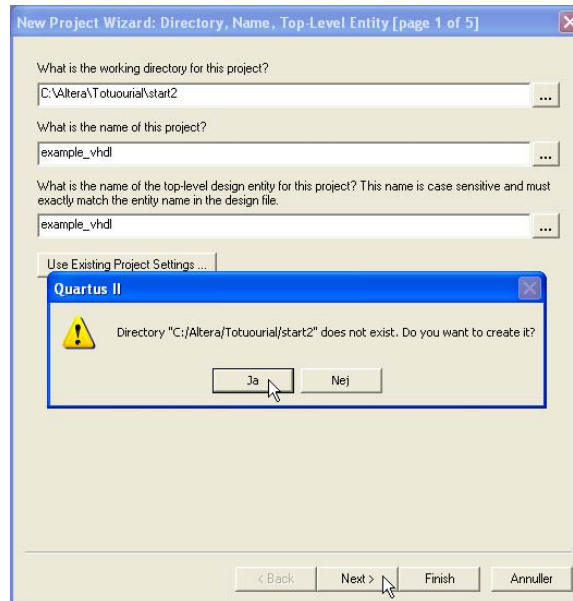
Udførelsen forudsætter at ” *Start af nyt schematic projekt i Quartus II*” er udført da dele derfra skal gentages i denne øvelse, ligesom denne øvelse stort set er uden tekst og forklaringer.

Ole Rasmussen 2010

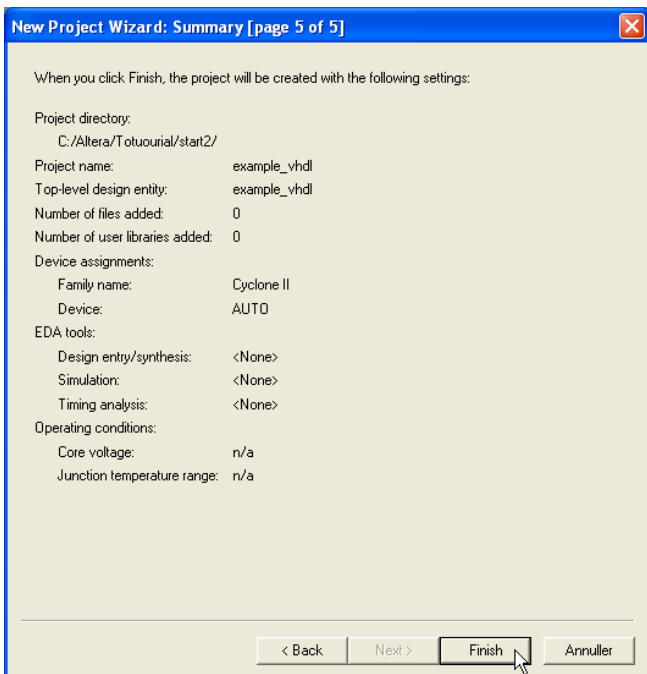
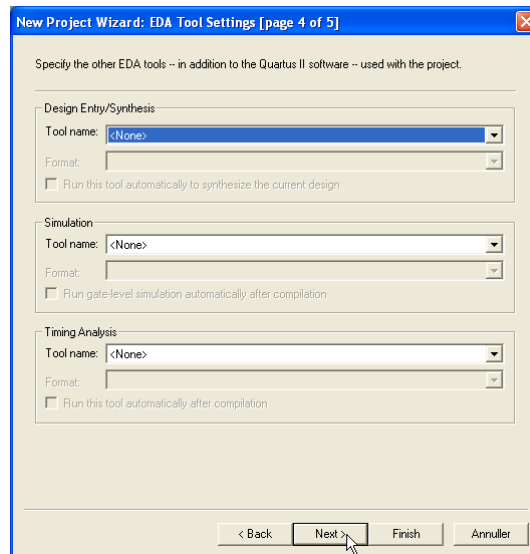
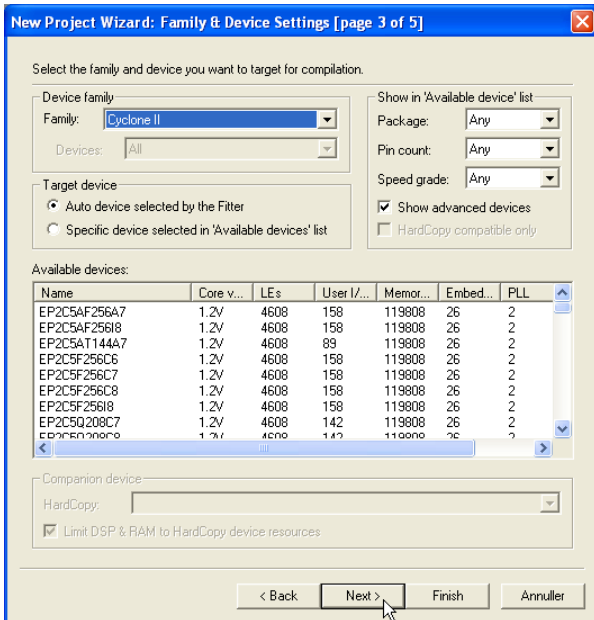
Start med "New Project Wizard"



Og opret en mappe med navnet start2 under
C:\Altera\Totuourial
Og giv projektet navnet: **example_vhdl**

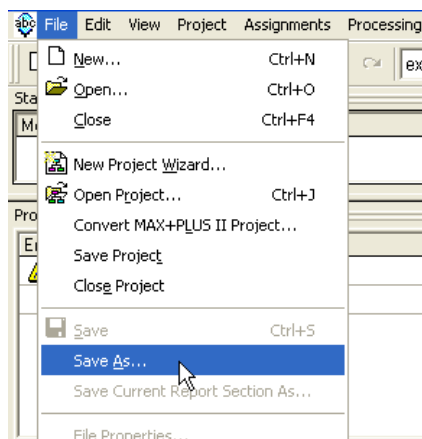
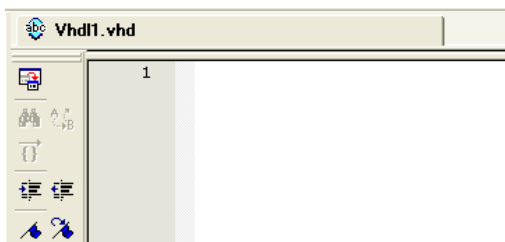
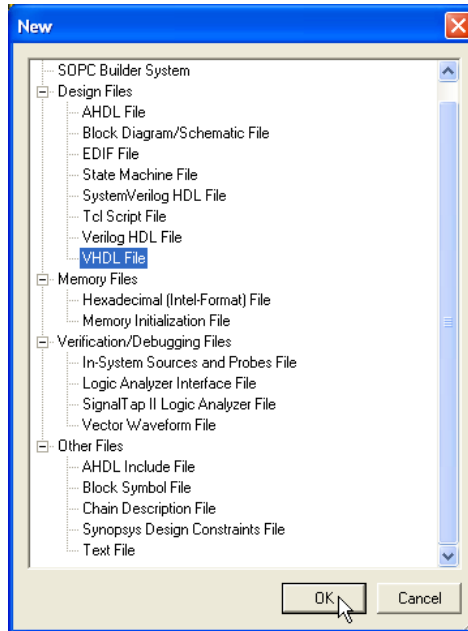
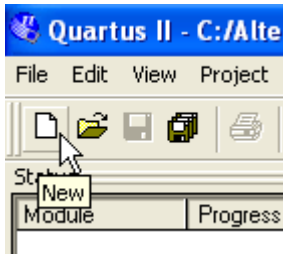


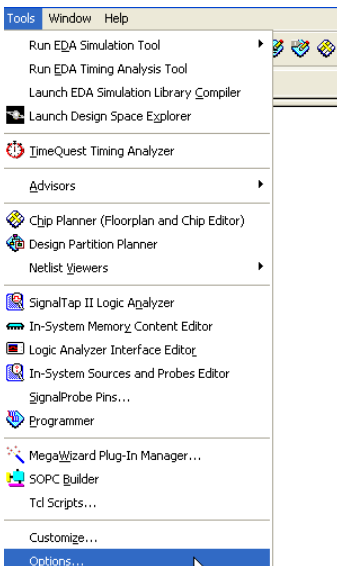
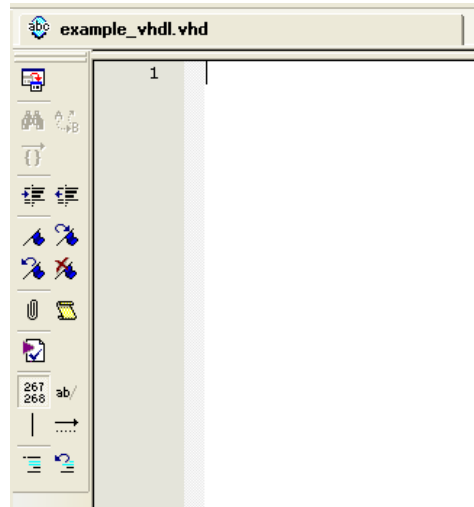
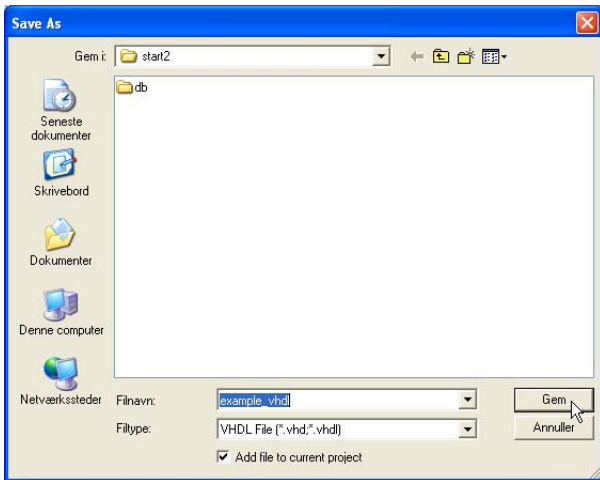
Vælg family: CycloneII og Taget device til Auto



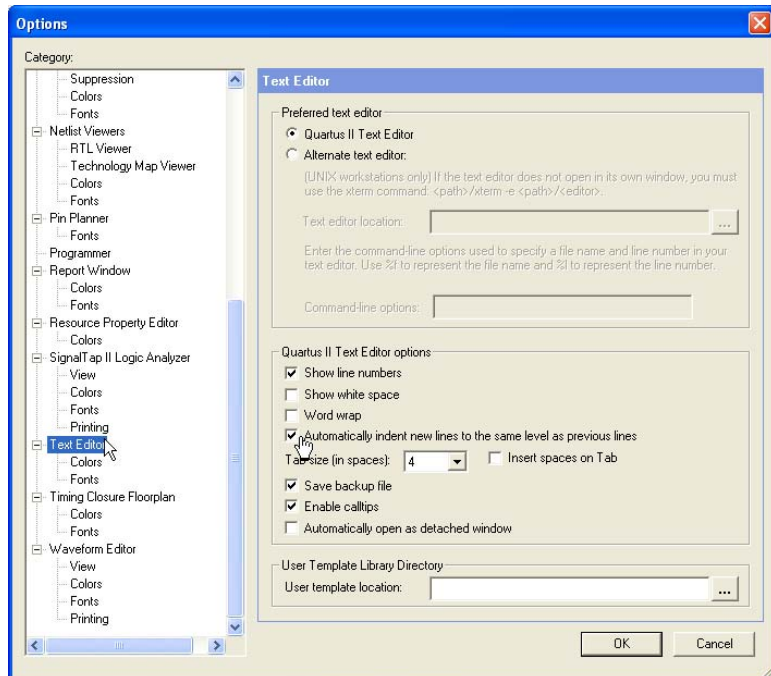
Du skal nu oprette en VHDL file.

(Very high speed integrated circuit Hardware Description Language)

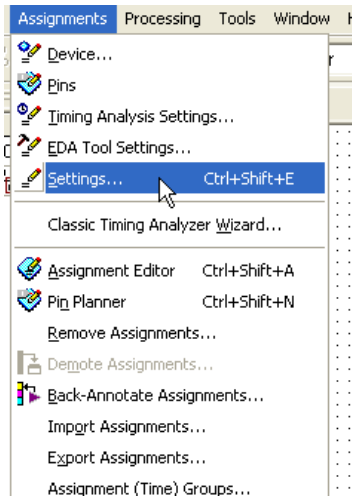




Når du skriver kildeteksten er det smart at der rykkes ind til ovenstående linje når du trykker <enter>.

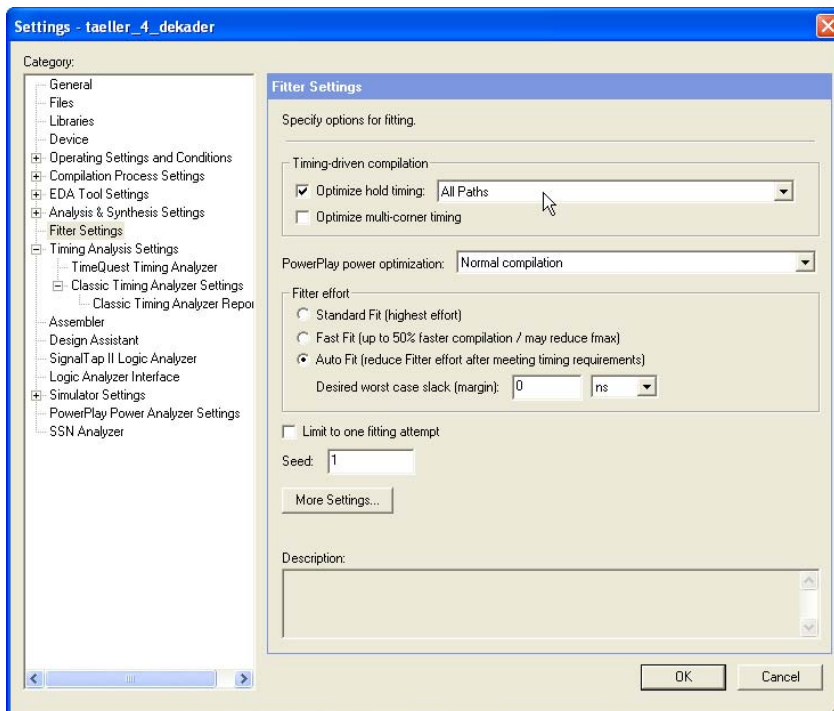


Inden dit design skal "oversættes" en process der kaldes **Synthesizing** skal du sikre dig at programmet sørger for at alle signal veje bliver tidsmæssigt optimeret. Dette gøres ved at sætte <Fitter settings> til all paths.

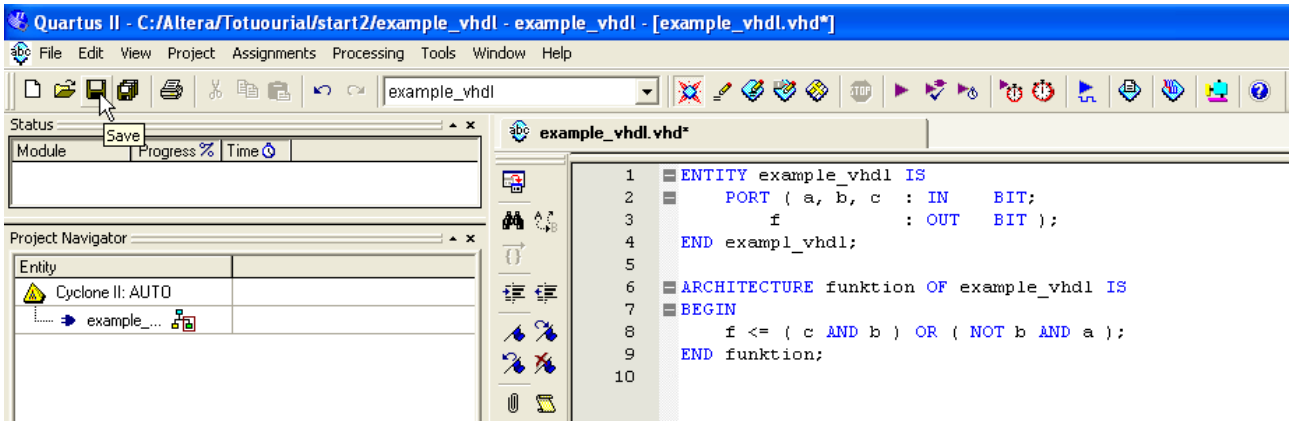


1.

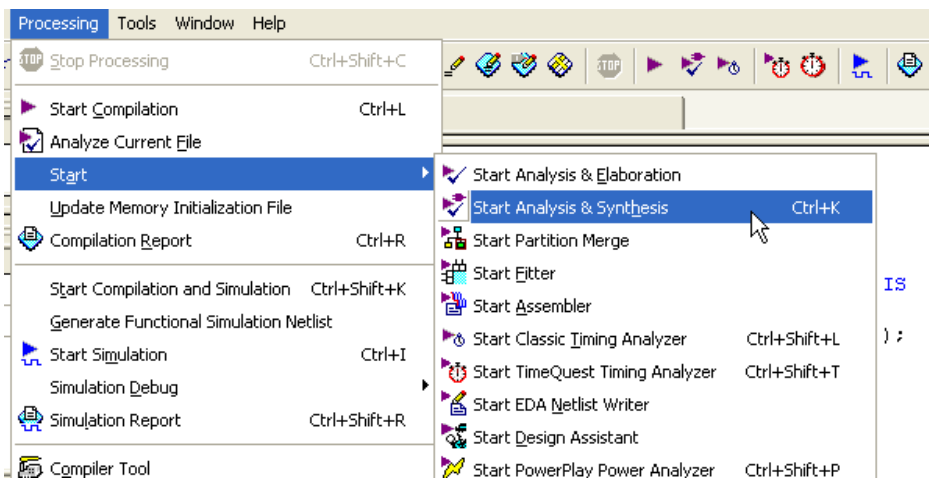
2.



Skriv kildeteksten som vist nedenfor.

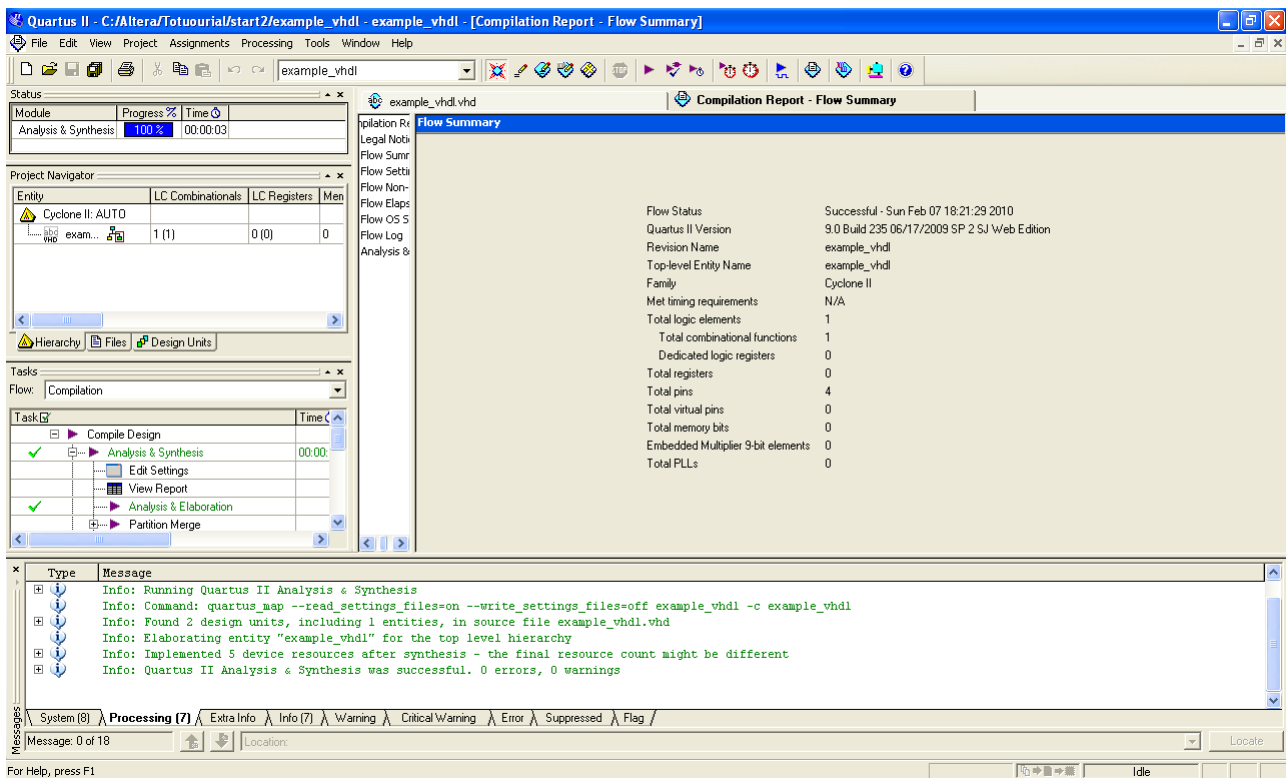


Denne gang kan du prøve at starte "Analysis & Synthesis" som vist nedenfor eller med <Ctrl+k>



Der fik du nok en del fejl. I det eksempel jeg har lavet er fejlen i linje 4.

Når alle fejl er rettet ser skærmen nok ud som nedenfor.



Prøv om du kan finde en mening med kildeteksten.

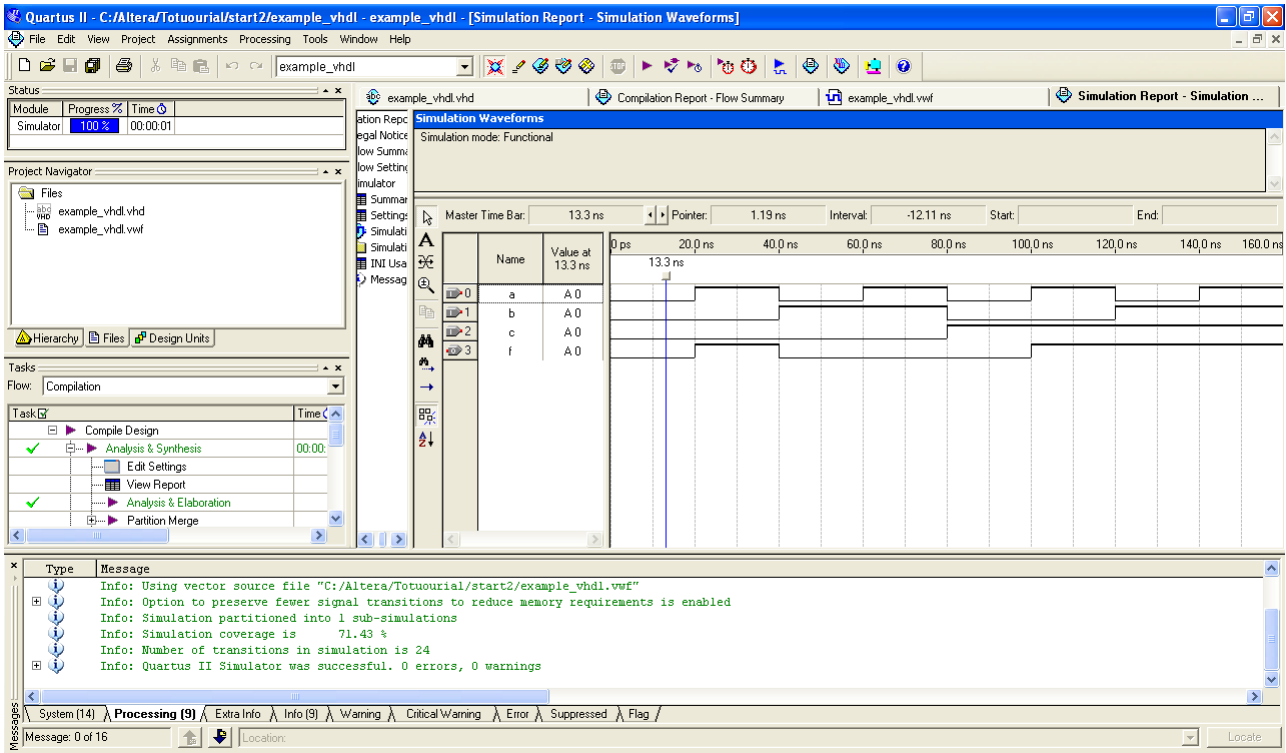
F.eks. hvorfor står noget med blå skrift?

```
ENTITY example_vhdl IS
    PORT ( a, b, c      : IN      BIT;
          f            : OUT     BIT );
END example_vhdl;
```

```
ARCHITECTURE funktion OF example_vhdl IS
BEGIN
    f <= ( c AND b ) OR ( NOT b AND a );
END funktion;
```


Du skal nu bruge simulerings værktøjet til at afprøve funktionen af dit design. Du gør som vist i ”Start af nyt schematic projekt i Quartus II”

Og hvis alt er i orden ender du op med test vektorer som vist nedenfor.



Tegn et kredsløbs diagram over det kredsløb ”vhdl” kildeteksten beskriver.

Udfyld en sandheds tabel for kredsløbet.